

**\*NOTICES\***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is applied to the semiconductor integrated circuit equipment which has DRAM (Dynamic Random Access Memory) especially about the semiconductor integrated circuit equipment which has a capacitive element for information storage, and relates to an effective technique.

[0002]

[Description of the Prior Art] DRAM by which the memory cell was constituted from MISFET for memory cell selection (Metal Insulator Semiconductor Field Effect Transistor) and a capacitive element for information storage is in one of the semiconductor integrated circuit equipment. However, with the large-capacity-izing, detailed-ization of a memory cell progresses, the amount of stored charge of the capacitive element for information storage decreases, and DRAM has the problem that an information maintenance property falls.

[0003] Then, by making an are recording electrode into crown structure in the capacitive element for information storage of DRAM of 64 or more Mbit, the surface area is enlarged and it is Ta 2O5 further. The film and TiO(Ba, Sr) 3 The film and Pb(Zr, Ti) O3 Increase of the amount of stored charge is aimed at by using a capacity insulator layer with membranous large specific inductive capacity.

[0004] In addition, about the are recording electrode of crown structure, November 5, Heisei 6, the Baifukan issue, and Kiyoo Ito work "VLSI memory" P19 have a publication, for example.

[0005] Below, the formation approach of the are recording electrode of the conventional crown structure shown in drawing 9 is explained briefly.

[0006] First, after forming MISFETQt for memory cell selection, the plug electrode PG which consists of polycrystalline silicon film 16 is formed on the 1st [ of MISFETQt for memory cell selection / one ] n-type-semiconductor field 14, and, subsequently to the 2nd [ of another side of MISFETQt for memory cell selection ] n-type-semiconductor field 19 top, the bit line BL which consists of the polycrystalline silicon film 18, polycrystalline silicon film 21, and tungsten silicide film 22 is formed.

[0007] Next, on the semi-conductor substrate 1, after carrying out the sequential deposition of the silicon oxide film 23, a silicon nitride film 24, and the silicon oxide film (not shown) by which flattening was carried out, the polycrystalline silicon film 27 which constitutes some are recording electrodes SN is deposited further.

[0008] Next, after processing the above-mentioned polycrystalline silicon film 27, the polycrystalline silicon film 28 is deposited on the semi-conductor substrate 1, and, subsequently the sidewall spacer which becomes the side attachment wall of the polycrystalline silicon film 27 from the polycrystalline silicon film 28 is formed by processing this polycrystalline silicon film 28 by anisotropic etching. Subsequently, the 3rd contact hole 29 is formed on the plug electrode PG by carrying out sequential processing of the silicon oxide film by which flattening was carried out [ above-mentioned ], a silicon nitride film 24, the silicon oxide film 23, and the silicon oxide film 17.

[0009] Next, after carrying out the sequential deposition of the polycrystalline silicon film 30 and the BPSG (Boron Phospho Silicate Glass) film (not shown) on the semi-conductor substrate 1, sequential processing of this BPSG film, the polycrystalline silicon film 30, and the polycrystalline silicon film 27 is carried out.

[0010] Next, after depositing the polycrystalline silicon film 32 on the semi-conductor substrate 1, the are recording electrode SN of the crown structure constituted with the polycrystalline silicon film 27, 28, 30, and 32 is formed by processing this polycrystalline silicon film 32 by anisotropic etching by leaving the cylindrical polycrystalline silicon film 32 to the side attachment wall of the BPSG film, the polycrystalline silicon film 30, and the polycrystalline silicon film 27, and subsequently removing the BPSG film and the silicon oxide film by which flattening was carried out.

[0011] (Then, the capacity insulator layer 2O5 which has a high dielectric constant on the front face of the are recording electrode SN, for example, Ta, The capacitive element for information storage is completed by forming the film and subsequently forming the plate electrode PL which consists of titanium nitride film 34.)

[0012]

[Problem(s) to be Solved by the Invention] However, in forming the are recording electrode of crown structure by said formation approach, this invention person found out that there were the following troubles.

[0013] That is, as shown in drawing 10, the latest section of the cylindrical polycrystalline silicon film 32 which constitutes some are recording electrodes SN is sharp, and the cross-section configuration has the interior angle of the include angle (theta) of about 30 degrees. However, Ta 2O<sub>5</sub> which is a capacity insulator layer When the film 33 is deposited on the front face of the are recording electrode SN, at the latest above-mentioned section, it is Ta 2O<sub>5</sub>. The grain boundary 35 of the film 33 will tend to grow, and the thickness of 2OTa<sub>5</sub> film will become thin with the stress generated with growth of this grain boundary 35. Especially, it is Ta 2O<sub>5</sub>. In the cross-section configuration of the polycrystalline silicon film which constitutes the are recording electrode SN, the include angle of the interior angle which this cross-section configuration has tends to produce growth of the grain boundary 35 of the film 33 in the acute angle part of 35 or less degrees.

[0014] Furthermore, thin Ta 2O<sub>5</sub> which electric field concentrated in the latest above-mentioned section, and was deposited on the latest section when the electrical potential difference was impressed between the are recording electrode SN and the plate electrode PL The film 33 is Ta 2O<sub>5</sub> deposited on other front faces of the are recording electrode SN. It is easy to be destroyed rather than the film 33.

[0015] Therefore, Ta 2O<sub>5</sub> which is a capacity insulator layer in the capacitive element for information storage which consists of an are recording electrode of crown structure The fall of the reliability by membranous destruction tends to take place, and the yield of a product falls.

[0016] The purpose of this invention is to offer the technique which can be improved in the reliability of the capacitive element for information storage which has the are recording electrode of crown structure.

[0017] The other purposes and the new description will become clear from description and the accompanying drawing of this specification along [ said ] this invention.

[0018]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application. That is, the semiconductor integrated circuit equipment of (1) this invention has DRAM which arranges the capacitive element for information storage which consists of an are recording electrode of the crown structure covered with the capacity insulator layer above MISFET for memory cell selection, and is the configuration where the latest section of the cylindrical electric conduction film which constitutes some are recording electrodes was roundish.

[0019] (2) Moreover, the include angle of the interior angle which the semiconductor integrated circuit equipment of this invention has DRAM which has arranged the capacitive element for information storage which consists of an are recording electrode of the crown structure covered with the capacity insulator layer above MISFET for memory cell selection, and the cross-section configuration has in the latest section of the cylindrical electric conduction film which constitutes some are recording electrodes is 35 degrees or more.

[0020] (3) Moreover, the semiconductor integrated circuit equipment of this invention has DRAM which arranges the capacitive element for information storage which consists of an are recording electrode of the crown structure covered with the capacity insulator layer above MISFET for memory cell selection, it is the configuration where the latest section of the cylindrical electric conduction film which constitutes some are recording electrodes was roundish, and the include angle of the interior angle which the cross section configuration of the latest section has is 35 degrees or more.

[0021] (4) Moreover, the manufacture approach of the semiconductor integrated circuit equipment of this invention is the manufacture approach of semiconductor integrated circuit equipment the above (1), (2), or given in (3), after it forms the are-recording electrode of crown structure above MISFET for memory cell selection with the electric-conduction film, forms a thin oxide film in the front face of the electric-conduction film which performs thermal-oxidation processing to a semi-conductor substrate, and constitutes an are-recording electrode, and, subsequently removes the above-mentioned oxide film. Next, a plate electrode is formed after depositing a capacity insulator layer on the front face of the electric conduction film which constitutes an are recording electrode.

[0022] (5) Moreover, the manufacture approach of the semiconductor integrated circuit equipment of this invention is the manufacture approach of semiconductor integrated circuit equipment the above (1), (2), or given in (3), and after it forms the are recording electrode of crown structure above MISFET for memory cell selection with the electric conduction film, it deletes the front face of the electric conduction film which constitutes an are recording electrode by isotropic etching. Next, a plate electrode is formed after depositing a capacity insulator layer on the front face of the electric conduction film which constitutes an are recording electrode.

[0023] Since there are 35 include angles or more which there is no part which sharpened in the latest section of the cylindrical electric conduction film which constitutes some are recording electrodes, and the interior angle of the cross-

section configuration of the latest section of this makes according to the above-mentioned means Since electric-field concentration in the latest section cannot take place easily even if thin film-ization of a capacity insulator layer is suppressed that the grain boundary of a capacity insulator layer cannot grow easily in the latest above-mentioned section and it impresses an electrical potential difference between an are recording electrode and a plate electrode further, destruction of a capacity insulator layer can be prevented.

[0024]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing.

[0025] The capacitative element for information storage and its manufacture approach of the DRAM memory cell which is the gestalt of 1 operation of this invention are explained using drawing 1 - drawing 8 . In addition, what has the same function in the complete diagram for explaining the gestalt of operation attaches the same sign, and explanation of the repeat is omitted.

[0026] Drawing 1 is the important section sectional view of the semi-conductor substrate in which the capacitative element for information storage which is the gestalt of 1 operation of this invention is shown.

[0027] The are recording electrode SN which constitutes the capacitative element for information storage is formed above MISFETQt for memory cell selection, and the configuration has crown structure which consists of parts of the base which consists of a cylindrical part which consists of polycrystalline silicon film 32, and polycrystalline silicon film 27, 28, and 30.

[0028] The are recording electrode SN is connected to the plug electrode PG currently formed on the 1st [ of MISFETQt for memory cell selection / one ] n-type-semiconductor field 14 with the polycrystalline silicon film 30 which constitutes some are recording electrodes SN. In addition, the 2nd n-type-semiconductor field 19 of another side of MISFETQt for memory cell selection is connected to the bit line BL.

[0029] Ta 2O<sub>5</sub> of the high dielectric constant ( $\epsilon=23$ ) which is a capacity insulator layer in the front face of the are recording electrode SN The film 33 is formed through a thin silicon nitride film (not shown) with a thickness of about 2nm, and it is Ta 2O<sub>5</sub>. The titanium nitride film 34 which is the plate electrode PL is formed in the front face of the film 33. In addition, the above-mentioned silicon nitride film is Ta 2O<sub>5</sub>. In case the film 33 is formed, it is prepared in order to prevent the amount of stored charge which the front face of the polycrystalline silicon film 27, 28, 30, and 32 oxidizes, and the capacitative element for information storage has decreasing.

[0030] Drawing 2 is drawing which expanded a part of cross section of the are recording electrode SN. The latest section of the polycrystalline silicon film 32 is carrying out roundish [ wore ], and the include angle of the interior angle which the cross-section configuration has is 35 degrees or more.

[0031] Next, the manufacture approach of the capacitative element for information storage of the gestalt this operation shown in said drawing 1 is explained using drawing 3 - drawing 8 .

[0032] First, p - Sequential formation of a well 2, the field insulator layer 3, and the gate dielectric film 4 is carried out p mold by the approach of common knowledge on the principal plane of the semi-conductor substrate 1 which consists of a mold silicon single crystal.

[0033] Next, the polycrystalline silicon film 5 with which Lynn (P) was introduced on the semi-conductor substrate 1 as shown in drawing 3 and WSi<sub>2</sub> The sequential deposition of the film 6, the silicon oxide film 7, and the silicon nitride film 8 is carried out. Then, a photoresist is used as a mask and they are a silicon nitride film 8, the silicon oxide film 7, and WSi<sub>2</sub>. By carrying out sequential etching of the cascade screen which consists of film 6 and polycrystalline silicon film 5, it is WSi<sub>2</sub>. The gate electrode 9 of MISFETQt for memory cell selection which consists of film 6 and polycrystalline silicon film 5 is formed.

[0034] Next, WSi<sub>2</sub> which constitutes the gate electrode 9 by performing thermal oxidation processing to the semi-conductor substrate 1 The thin silicon oxide film 10 is formed in the side attachment wall of the film 6 and the polycrystalline silicon film 5.

[0035] then, the silicon nitride film deposited on the semi-conductor substrate 1 -- RIE (Reactive IonEtching) -- the sidewall spacer 11 is formed in the side attachment wall of the above-mentioned cascade screen by processing it by anisotropic etching, such as law.

[0036] Next, after depositing the silicon oxide film 12 and the BPSG (Boron PhosphoSilicate Glass) film 13 with a CVD method on the semi-conductor substrate 1, flattening of the front face of the above-mentioned BPSG film 13 is carried out by 900-950-degree C reflow processing, and, subsequently to the semi-conductor substrate 1 top, the polycrystalline silicon film (not shown) with which P was introduced is deposited with a CVD method.

[0037] Then, the 1st contact hole 15 is formed on the 1st n-type-semiconductor field 14 formed after [ one ] MISFETQt for memory cell selection by using a photoresist as a mask and carrying out sequential etching of the insulator layer of the same layer as this polycrystalline silicon film, the BPSG film 13, the silicon oxide film 12, and gate dielectric film 4. Subsequently, the ion implantation of n mold impurity, for example, the P, is carried out, and one 1st n-type-

semiconductor field 14 of MISFETQt for memory cell selection is formed.

[0038] Next, after depositing the polycrystalline silicon film 16 with which P was introduced on the semi-conductor substrate 1 with a CVD method, the plug electrode PG which consists of polycrystalline silicon film 16 is formed in the 1st contact hole 15 of the above by carrying out etchback of this polycrystalline silicon film 16 and the above-mentioned polycrystalline silicon film one by one.

[0039] Next, the polycrystalline silicon film 18 with which the silicon oxide film 17 and P were introduced on the semi-conductor substrate 1 is deposited with a CVD method. Subsequently, the 2nd contact hole 20 is formed on the 2nd n-type-semiconductor field 19 formed behind another side of MISFETQt for memory cell selection by using a photoresist as a mask and carrying out sequential etching of the insulator layer of the same layer as the polycrystalline silicon film 18, the silicon oxide film 17, the BPSG film 13, the silicon oxide film 12, and gate dielectric film 4.

[0040] Subsequently, the polycrystalline silicon film 21 and WSi<sub>2</sub> by which P was introduced on the semi-conductor substrate 1 as shown in drawing 4 After carrying out the sequential deposition of the film 22 with a CVD method, a photoresist is used as a mask, and it is WSi<sub>2</sub>. It is WSi<sub>2</sub> by carrying out sequential etching of the film 22, the polycrystalline silicon film 21, and the polycrystalline silicon film 18. The bit line BL which consists of the film 22, polycrystalline silicon film 21, and polycrystalline silicon film 18 is formed.

[0041] Moreover, the 2nd n-type-semiconductor field 19 of another side of MISFETQt for memory cell selection is formed of diffusion of P introduced into the polycrystalline silicon film 21, and a bit line BL is connected to the 2nd n-type-semiconductor field 19 of this MISFETQt for memory cell selection through the 2nd contact hole 20 by it.

[0042] Next, on the semi-conductor substrate 1, as shown in drawing 5 , after carrying out the sequential deposition of the silicon oxide film 23, a silicon nitride film 24, and the BPSG film 25 with a CVD method, flattening of the front face of the above-mentioned BPSG film 25 is carried out by 900-950-degree C reflow processing, and, subsequently to the semi-conductor substrate 1 top, the silicon oxide film 26 is deposited. Then, the polycrystalline silicon film 27 with which P with a thickness of about 70nm was introduced is deposited with a CVD method on the semi-conductor substrate 1, subsequently to a mask, a photoresist is carried out and this polycrystalline silicon film 27 is etched.

[0043] Next, as shown in drawing 6 , after depositing the polycrystalline silicon film 28 with which P was introduced on the semi-conductor substrate 1 with a CVD method, a sidewall spacer is formed in the side attachment wall of the above-mentioned polycrystalline silicon film 27 by processing this polycrystalline silicon film 28 by anisotropic etching, such as the RIE method. Subsequently, the 3rd contact hole 29 is formed on the Prabhu electrode PG prepared in the 1st contact hole 15 by carrying out sequential etching of the silicon oxide film 26, the BPSG film 25, a silicon nitride film 24, the silicon oxide film 23, and the silicon oxide film 17. Then, the sequential deposition of the BPSG film 31 of the thickness which is the polycrystalline silicon film 30 with which P was introduced on the semi-conductor substrate 1, and about 500nm is carried out with a CVD method.

[0044] Next, as shown in drawing 7 , after using a photoresist as a mask and carrying out sequential etching of the BPSG film 31 and the polycrystalline silicon film 30 and 27, the polycrystalline silicon film 32 with which P with a thickness of about 100nm was introduced on the semi-conductor substrate 1 is deposited with a CVD method.

[0045] Subsequently, it leaves the cylindrical polycrystalline silicon film 32 to the side attachment wall of the BPSG film 31 and the polycrystalline silicon film 30 and 27 by processing this polycrystalline silicon film 32 by anisotropic etching, such as the RIE method. In addition, the latest section of the cylindrical polycrystalline silicon film 32 at this time is sharp, and as shown in drawing 10 , the cross-section configuration of the latest section of this has the interior angle of the include angle of about 30 degrees.

[0046] Then, as shown in drawing 8 , by the wet etching using a fluoric acid water solution, the BPSG film 31, the silicon oxide film 26, and the BPSG film 25 are removed, and the are recording electrode SN of the crown structure which consists of polycrystalline silicon film 32, 30, 28, and 27 is formed.

[0047] Next, about 4nm silicon oxide film (not shown) is formed in the front face of the polycrystalline silicon film 32, 30, 28, and 27 by performing thermal oxidation processing for 3 minutes to the semi-conductor substrate 1 at the temperature of 850 degrees C. Then, wet etching using a fluoric acid water solution (for example, HF:H<sub>2</sub>O=1:200) is performed for about 2 minutes, and the above-mentioned silicon oxide film is removed. By this, as shown in said drawing 2 , the latest section of the cylindrical polycrystalline silicon film 32 which constitutes the are recording electrode SN is made roundish [ wore ], and the include angle which the interior angle in the cross-section configuration of this part makes is made into 35 degrees or more.

[0048] Next, a silicon nitride film (not shown) with a thickness of about 2nm is deposited on the front face of the are recording electrode SN with a CVD method, then it is amorphous Ta<sub>2</sub>O<sub>5</sub> of about 30nm of heat. It is Ta<sub>2</sub>O<sub>5</sub> by performing thermal oxidation processing to the semi-conductor substrate 1, after depositing the film 33 with a CVD method. The film 33 is crystallized. Then, the titanium nitride film 34 is deposited with a CVD method on the semi-conductor substrate 1, subsequently to a mask, by carrying out a photoresist and etching this titanium nitride film 34, the plate electrode PL which consists of titanium nitride film 34 is formed, and the capacitative element for information

storage shown in drawing 1 is completed.

[0049] Thus, since there are 35 include angles or more which the latest section of the cylindrical polycrystalline silicon film 32 which constitutes some are recording electrodes SN is carrying out roundish [ wore ], and the interior angle of the cross-section configuration of this part makes according to the gestalt of this operation It sets in the latest section and is Ta 2O<sub>5</sub>. It is Ta 2O<sub>5</sub> that the grain boundary of the film 33 cannot grow easily. Since electric-field concentration in the latest section cannot break out easily even if thin film-ization of the film 33 is controlled and it impresses an electrical potential difference between the are recording electrode SN and the plate electrode PL further Ta 2O<sub>5</sub> Destruction of the film 33 can be prevented.

[0050] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of implementation of invention, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the gestalt of said operation, and does not deviate from the summary.

[0051] For example, although the gestalt of said operation explained the case where it applied to the are recording electrode constituted with the polycrystalline silicon film, it is applicable also to the are recording electrode constituted with the refractory metal film or the metal silicide film.

[0052] Moreover, it is Ta 2O<sub>5</sub> to the dielectric film which constitutes a capacity insulator layer from a gestalt of said operation. Although the film was used, they are other high dielectric films (Ba, Sr) 3, for example, TiO<sub>2</sub>. The film or Pb (Zr, Ti) O<sub>3</sub> The film may be used and it is Ta 2O<sub>5</sub>. The same effectiveness as the case where the film is used is acquired.

[0053] Moreover, although the latest section of the cylindrical polycrystalline silicon film which constitutes some are recording electrodes by removing the silicon oxide film formed in the front face by thermal oxidation processing was made roundish [ wore ] with the gestalt of said operation after forming the are recording electrode of crown structure with the polycrystalline silicon film, it is good also as roundish [ wore / the latest section of the cylindrical polycrystalline silicon film / by isotropic etching ].

[0054]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated by this application is explained briefly.

[0055] Since according to this invention thin-film-izing of a capacity insulator layer, and an are recording electrode and plate inter-electrode electric-field concentration can be controlled and destruction of a capacity insulator layer can be prevented in the latest section of the cylindrical electric conduction film which constitutes some are recording electrodes of crown structure, the reliability of the capacitative element for information storage can be improved.

---

[Translation done.]

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10050949 A**

(43) Date of publication of application: **20.02.98**

(51) Int. Cl.  
**H01L 27/108**  
**H01L 21/8242**  
**H01L 27/04**  
**H01L 21/822**

(21) Application number: **08198759**

(22) Date of filing: **29.07.96**

(71) Applicant: **HITACHI LTD**

(72) Inventor:  
**KUBO MASANORI**  
**OOGAYA KAORU**  
**IJIMA SHINPEI**

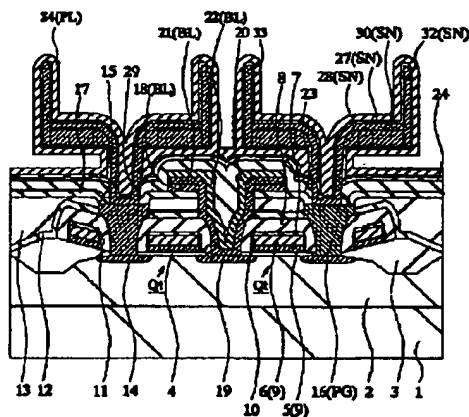
**(54) SEMICONDUCTOR INTEGRATED CIRCUIT  
DEVICE AND ITS MANUFACTURING METHOD**

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To provide a technique to improve reliability of an information storage capacitive device having a crown-structured storage electrode, by preventing breakage of a capacitive insulating film.

**SOLUTION:** A silicon oxide film is formed on the surfaces of polycrystalline silicon films 32, 30, 28 and 27 constructing a storage electrode SN. Then, the silicon oxide film is removed such that the end portion of the polycrystalline silicon film 32 having a cylindrical shape, constructing a part of the storage electrode SN, is rounded, and the inner angle of the cross section of this end portion is 35° or greater. This suppresses thinning of a Ta<sub>2</sub>O<sub>5</sub> film 33 as a capacitive insulating film at the end portion and electric-field concentration between the storage electrode SN and a plate electrode PL.

COPYRIGHT: (C)1998,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-50949

(43)公開日 平成10年(1998) 2月20日

(51)IntCl. <sup>6</sup>	識別記号	庁内整理番号	P I	技術表示箇所
H 0 1 L	27/108		H 0 1 L 27/10	6 2 1 C
	21/8242		27/04	C
	27/04		27/10	6 5 1
	21/822			

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21)出願番号 特願平8-198759

(22)出願日 平成8年(1996) 7月29日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 久保 真紀

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 大鋸谷 薫

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 飯島 晋平

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内

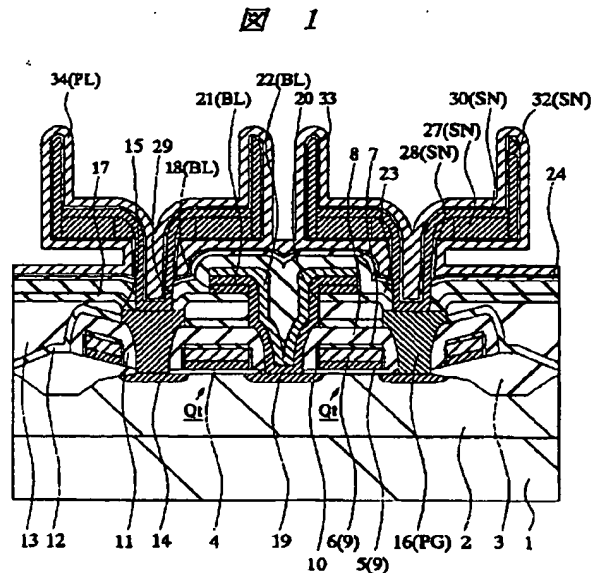
(74)代理人 弁理士 筒井 大和

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 容量絶縁膜の破壊を抑えて、クラウン構造の蓄積電極を有する情報蓄積用容量素子の信頼度を向上することが可能な技術を提供する。

【解決手段】 蓄積電極SNを構成する多結晶シリコン膜32、30、28、27の表面に酸化シリコン膜を形成した後、この酸化シリコン膜を除去することによって、蓄積電極SNの一部を構成する円筒型が多結晶シリコン膜32の最先端部を丸みを帯びた形状とし、また、この最先端部の断面形状が有する内角の角度を35度以上とする。これによって、上記最先端部における容量絶縁膜であるTa<sub>2</sub>O<sub>5</sub>膜33の薄膜化および蓄積電極SNとプレート電極PL間の電界集中を抑制する。



32: 多結晶シリコン膜  
33: Ta<sub>2</sub>O<sub>5</sub>膜

## 【特許請求の範囲】

【請求項1】 メモリセル選択用MISFETの上方に、クラウン構造の蓄積電極からなる情報蓄積用容量素子を配置するDRAMを有する半導体集積回路装置であって、容量絶縁膜によって被覆された前記蓄積電極の一部を構成する円筒型の導電膜の最先端部が丸みを帯びた形状であることを特徴とする半導体集積回路装置。

【請求項2】 メモリセル選択用MISFETの上方に、クラウン構造の蓄積電極からなる情報蓄積用容量素子を配置するDRAMを有する半導体集積回路装置であって、容量絶縁膜によって被覆された前記蓄積電極の一部を構成する円筒型の導電膜の最先端部において、前記最先端部の断面形状が有する内角の角度が35度以上であることを特徴とする半導体集積回路装置。

【請求項3】 メモリセル選択用MISFETの上方に、クラウン構造の蓄積電極からなる情報蓄積用容量素子を配置するDRAMを有する半導体集積回路装置であって、容量絶縁膜によって被覆された前記蓄積電極の一部を構成する円筒型の導電膜の最先端部が丸みを帯びた形状であり、かつ、前記最先端部の断面形状が有する内角の角度が35度以上であることを特徴とする半導体集積回路装置。

【請求項4】 請求項1、2または3記載の半導体集積回路装置において、前記蓄積電極の一部を構成する円筒型の前記導電膜の膜厚が、前記容量絶縁膜の膜厚よりも厚いことを特徴とする半導体集積回路装置。

【請求項5】 請求項1、2、3または4記載の半導体集積回路装置において、前記蓄積電極を構成する導電膜は多結晶シリコン膜、高融点金属膜または金属シリサイド膜であることを特徴とする半導体集積回路装置。

【請求項6】 請求項1、2、3、4または5記載の半導体集積回路装置において、前記容量絶縁膜はTa<sub>2</sub>O<sub>5</sub>膜、(Ba, Sr)TiO<sub>3</sub>膜またはPb(Zr, Ti)O<sub>3</sub>膜であることを特徴とする半導体集積回路装置。

【請求項7】 請求項1～6のいずれか1項に記載の半導体集積回路装置の製造方法であって、メモリセル選択用MISFETの上方に導電膜によってクラウン構造の蓄積電極を形成する工程、半導体基板に熱酸化処理を施して前記導電膜の表面に薄い酸化膜を形成した後、前記酸化膜を除去する工程、前記導電膜の表面に容量絶縁膜を堆積した後、プレート電極を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項1～6のいずれか1項に記載の半導体集積回路装置の製造方法であって、メモリセル選択用MISFETの上方に導電膜によってクラウン構造の蓄積電極を形成する工程、等方性のエッチングによって前記導電膜の表面を削る工程、前記導電膜の表面に容量絶縁膜を堆積した後、プレート電極を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、情報蓄積用容量素子を有する半導体集積回路装置に関し、特に、DRAM (Dynamic Random Access Memory) を有する半導体集積回路装置に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】 半導体集積回路装置の一つに、メモリセルがメモリセル選択用MISFET (Metal Insulator Semiconductor Field Effect Transistor) と情報蓄積用容量素子とで構成されたDRAMがある。しかし、DRAMはその大容量化に伴い、メモリセルの微細化が進み、情報蓄積用容量素子の蓄積電荷量が減少して、情報保持特性が低下するという問題がある。

【0003】 そこで、64Mbit以上のDRAMの情報蓄積用容量素子では、蓄積電極をクラウン構造とすることにより、その表面積を大きくし、さらに、Ta<sub>2</sub>O<sub>5</sub>膜、(Ba, Sr)TiO<sub>3</sub>膜、Pb(Zr, Ti)O<sub>3</sub>膜などの比誘電率の大きい容量絶縁膜を用いることによって蓄積電荷量の増大を図っている。

【0004】 なお、クラウン構造の蓄積電極については、たとえば、平成6年11月5日、培風館発行、伊藤清男著「超LSIメモリ」P19に記載がある。

【0005】 以下に、図9に示す従来のクラウン構造の蓄積電極の形成方法を簡単に説明する。

【0006】 まず、メモリセル選択用MISFETQ<sub>t</sub>を形成した後、メモリセル選択用MISFETQ<sub>t</sub>の一方の第1のn型半導体領域14上に、多結晶シリコン膜16からなるプラグ電極PGを形成し、次いで、メモリセル選択用MISFETQ<sub>t</sub>の他方の第2のn型半導体領域19上に、多結晶シリコン膜18、多結晶シリコン膜21およびタングステンシリサイド膜22からなるビット線BLを形成する。

【0007】 次に、半導体基板1上に、酸化シリコン膜23、窒化シリコン膜24および平坦化された酸化シリコン膜(図示せず)を順次堆積した後、さらに、蓄積電極SNの一部を構成する多結晶シリコン膜27を堆積する。

【0008】 次に、上記多結晶シリコン膜27を加工した後、半導体基板1上に多結晶シリコン膜28を堆積し、次いで、この多結晶シリコン膜28を異方性エッチングで加工することによって、多結晶シリコン膜27の側壁に多結晶シリコン膜28からなるサイドウォールスペーサを形成する。次いで、上記平坦化された酸化シリコン膜、窒化シリコン膜24、酸化シリコン膜23および酸化シリコン膜17を順次加工することにより、プラグ電極PG上に第3のコンタクトホール29を形成する。

【0009】 次に、半導体基板1上に多結晶シリコン膜30およびBP SG (Boron Phospho Silicate Glass)

膜(図示せず)を順次堆積した後、このBPSG膜、多結晶シリコン膜30および多結晶シリコン膜27を順次加工する。

【0010】次に、半導体基板1上に多結晶シリコン膜32を堆積した後、この多結晶シリコン膜32を異方性エッチングで加工することによって、BPSG膜、多結晶シリコン膜30および多結晶シリコン膜27の側壁に円筒型の多結晶シリコン膜32を残し、次いで、BPSG膜および平坦化された酸化シリコン膜を除去することにより、多結晶シリコン膜27、28、30、32によって構成されるクラウン構造の蓄積電極SNを形成する。

【0011】その後、蓄積電極SNの表面に高誘電率を有する容量絶縁膜、例えば、 $Ta_2O_5$ 膜を形成し、次いで、窒化チタン膜34からなるプレート電極PLを形成することによって、情報蓄積用容量素子が完成する。

【0012】

【発明が解決しようとする課題】しかしながら、前記形成方法によってクラウン構造の蓄積電極を形成するにあたり、以下の問題点があることを本発明者は見いだした。

【0013】すなわち、図10に示すように、蓄積電極SNの一部を構成する円筒型の多結晶シリコン膜32の最先端部は尖っており、その断面形状は約30度の角度( $\theta$ )の内角を有する。ところが、容量絶縁膜である $Ta_2O_5$ 膜33を蓄積電極SNの表面に堆積すると、上記最先端部では、 $Ta_2O_5$ 膜33の結晶粒界35が成長しやすく、この結晶粒界35の成長によって発生する応力により $Ta_2O_5$ 膜の膜厚が薄くなってしまう。特に、 $Ta_2O_5$ 膜33の結晶粒界35の成長は、蓄積電極SNを構成する多結晶シリコン膜の断面形状において、この断面形状が有する内角の角度が35度以下の鋭角な部分で生じやすい。

【0014】さらに、蓄積電極SNとプレート電極PLとの間に電圧を印加すると、上記最先端部では電界が集中して、最先端部に堆積された薄い $Ta_2O_5$ 膜33は蓄積電極SNの他の表面に堆積された $Ta_2O_5$ 膜33よりも破壊されやすい。

【0015】従って、クラウン構造の蓄積電極からなる情報蓄積用容量素子では、容量絶縁膜である $Ta_2O_5$ 膜の破壊による信頼度の低下が起りやすく、製品の歩留まりが低下する。

【0016】本発明の目的は、クラウン構造の蓄積電極を有する情報蓄積用容量素子の信頼度を向上することが可能な技術を提供することにある。

【0017】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0018】

【課題を解決するための手段】本願において開示される

発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

(1) 本発明の半導体集積回路装置は、メモリセル選択用MISFETの上方に、容量絶縁膜によって被覆されたクラウン構造の蓄積電極からなる情報蓄積用容量素子を配置するDRAMを有しており、蓄積電極の一部を構成する円筒型の導電膜の最先端部が丸みを帯びた形状である。

【0019】(2) また、本発明の半導体集積回路装置は、メモリセル選択用MISFETの上方に、容量絶縁膜によって被覆されたクラウン構造の蓄積電極からなる情報蓄積用容量素子を配置したDRAMを有しており、蓄積電極の一部を構成する円筒型の導電膜の最先端部において、その断面形状が有する内角の角度が35度以上である。

【0020】(3) また、本発明の半導体集積回路装置は、メモリセル選択用MISFETの上方に、容量絶縁膜によって被覆されたクラウン構造の蓄積電極からなる情報蓄積用容量素子を配置するDRAMを有しており、蓄積電極の一部を構成する円筒型の導電膜の最先端部が丸みを帯びた形状であり、かつ、最先端部の断面形状が有する内角の角度が35度以上である。

【0021】(4) また、本発明の半導体集積回路装置の製造方法は、上記(1)、(2)または(3)記載の半導体集積回路装置の製造方法であって、メモリセル選択用MISFETの上方に導電膜によってクラウン構造の蓄積電極を形成した後、半導体基板に熱酸化処理を施して蓄積電極を構成する導電膜の表面に薄い酸化膜を形成し、次いで、上記酸化膜を除去する。次に、蓄積電極を構成する導電膜の表面に容量絶縁膜を堆積した後、プレート電極を形成するものである。

【0022】(5) また、本発明の半導体集積回路装置の製造方法は、上記(1)、(2)または(3)記載の半導体集積回路装置の製造方法であって、メモリセル選択用MISFETの上方に導電膜によってクラウン構造の蓄積電極を形成した後、等方性のエッチングによって蓄積電極を構成する導電膜の表面を削る。次に、蓄積電極を構成する導電膜の表面に容量絶縁膜を堆積した後、プレート電極を形成するものである。

【0023】上記した手段によれば、蓄積電極の一部を構成する円筒型の導電膜の最先端部に尖った部分がなく、また、この最先端部の断面形状の内角がなす角度が35度以上あるので、上記最先端部において容量絶縁膜の結晶粒界が成長しにくく容量絶縁膜の薄膜化が抑えられ、さらに、蓄積電極とプレート電極との間に電圧を印加しても最先端部での電界集中が起りにくいのので、容量絶縁膜の破壊を防ぐことができる。

【0024】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。

【0025】本発明の一実施の形態であるDRAMメモリセルの情報蓄積用容量素子およびその製造方法を図1～図8を用いて説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0026】図1は、本発明の一実施の形態である情報蓄積用容量素子を示す半導体基板の要部断面図である。

【0027】情報蓄積用容量素子を構成する蓄積電極SNは、メモリセル選択用MISFETQ<sub>t</sub>の上方に形成されており、その形状は多結晶シリコン膜32からなる円筒型の部分と多結晶シリコン膜27、28、30からなる底面の部分から構成されるクラウン構造となっている。

【0028】蓄積電極SNは、蓄積電極SNの一部を構成する多結晶シリコン膜30によってメモリセル選択用MISFETQ<sub>t</sub>の一方の第1のn型半導体領域14上に形成されているプラグ電極PGに接続されている。なお、メモリセル選択用MISFETQ<sub>t</sub>の他方の第2のn型半導体領域19はビット線BLに接続されている。

【0029】蓄積電極SNの表面には、容量絶縁膜である高誘電率( $\epsilon=23$ )のTa<sub>2</sub>O<sub>5</sub>膜33が、厚さ約2nmの薄い窒化シリコン膜(図示せず)を介して形成され、Ta<sub>2</sub>O<sub>5</sub>膜33の表面にはプレート電極PLである窒化チタン膜34が形成されている。なお、上記窒化シリコン膜は、Ta<sub>2</sub>O<sub>5</sub>膜33を形成する際、多結晶シリコン膜27、28、30、32の表面が酸化されて情報蓄積用容量素子が有する蓄積電荷量が減少するのを防ぐために設けられている。

【0030】図2は、蓄積電極SNの断面の一部を拡大した図である。多結晶シリコン膜32の最先端部は丸みを帯びた形状をしており、その断面形状が有する内角の角度は35度以上である。

【0031】次に、前記図1に示した本実施の形態の情報蓄積用容量素子の製造方法を図3～図8を用いて説明する。

【0032】まず、p<sup>+</sup>型シリコン単結晶からなる半導体基板1の主面上に周知の方法でp型ウエル2、フィールド絶縁膜3およびゲート絶縁膜4を順次形成する。

【0033】次に、図3に示すように、半導体基板1上にリン(P)が導入された多結晶シリコン膜5、WSi<sub>2</sub>膜6、酸化シリコン膜7および窒化シリコン膜8を順次堆積する。その後、フォトリソistをマスクにして窒化シリコン膜8、酸化シリコン膜7、WSi<sub>2</sub>膜6および多結晶シリコン膜5からなる積層膜を順次エッチングすることにより、WSi<sub>2</sub>膜6および多結晶シリコン膜5からなるメモリセル選択用MISFETQ<sub>t</sub>のゲート電極9を形成する。

【0034】次に、半導体基板1に熱酸化処理を施すことによって、ゲート電極9を構成するWSi<sub>2</sub>膜6および多結晶シリコン膜5の側壁に薄い酸化シリコン膜10

を形成する。

【0035】その後、半導体基板1上に堆積された窒化シリコン膜をRIE(Reactive Ion Etching)法などの異方性エッチングで加工することによって、上記積層膜の側壁にサイドウォールスペース11を形成する。

【0036】次に、半導体基板1上に酸化シリコン膜12およびBPSG(Boron PhosphoSilicate Glass)膜13をCVD法によって堆積した後、900～950℃のリフロー処理により上記BPSG膜13の表面を平坦化し、次いで、半導体基板1上にPが導入された多結晶シリコン膜(図示せず)をCVD法によって堆積する。

【0037】その後、フォトリソistをマスクにしてこの多結晶シリコン膜、BPSG膜13、酸化シリコン膜12およびゲート絶縁膜4と同一層の絶縁膜を順次エッチングすることにより、メモリセル選択用MISFETQ<sub>t</sub>の一方の後に形成される第1のn型半導体領域14上に第1のコンタクトホール15を形成する。次いで、n型不純物、例えばPをイオン注入し、メモリセル選択用MISFETQ<sub>t</sub>の一方の第1のn型半導体領域14を形成する。

【0038】次に、半導体基板1上にPが導入された多結晶シリコン膜16をCVD法によって堆積した後、この多結晶シリコン膜16および上記多結晶シリコン膜を順次エッチバックすることにより、上記第1のコンタクトホール15内に多結晶シリコン膜16からなるプラグ電極PGを形成する。

【0039】次に、半導体基板1上に酸化シリコン膜17およびPが導入された多結晶シリコン膜18をCVD法によって堆積する。次いで、フォトリソistをマスクにして多結晶シリコン膜18、酸化シリコン膜17、BPSG膜13、酸化シリコン膜12およびゲート絶縁膜4と同一層の絶縁膜を順次エッチングすることにより、メモリセル選択用MISFETQ<sub>t</sub>の他方の後に形成される第2のn型半導体領域19上に第2のコンタクトホール20を形成する。

【0040】次いで、図4に示すように、半導体基板1上にPが導入された多結晶シリコン膜21およびWSi<sub>2</sub>膜22をCVD法によって順次堆積した後、フォトリソistをマスクにしてWSi<sub>2</sub>膜22、多結晶シリコン膜21および多結晶シリコン膜18を順次エッチングすることにより、WSi<sub>2</sub>膜22、多結晶シリコン膜21および多結晶シリコン膜18からなるビット線BLを形成する。

【0041】また、多結晶シリコン膜21に導入されたPの拡散によってメモリセル選択用MISFETQ<sub>t</sub>の他方の第2のn型半導体領域19は形成され、ビット線BLは第2のコンタクトホール20を通じて、このメモリセル選択用MISFETQ<sub>t</sub>の第2のn型半導体領域19に接続される。

【0042】次に、図5に示すように、半導体基板1上

に酸化シリコン膜23、窒化シリコン膜24およびBPSG膜25をCVD法によって順次堆積した後、900～950℃のリフロー処理により上記BPSG膜25の表面を平坦化し、次いで、半導体基板1上に酸化シリコン膜26を堆積する。その後、半導体基板1上に、約70nmの厚さのPが導入された多結晶シリコン膜27をCVD法によって堆積し、次いで、フォトリソistをマスクにしてこの多結晶シリコン膜27をエッチングする。

【0043】次に、図6に示すように、半導体基板1上にPが導入された多結晶シリコン膜28をCVD法によって堆積した後、この多結晶シリコン膜28をRIE法などの異方性エッチングで加工することによって、上記多結晶シリコン膜27の側壁にサイドウォールスペーサを形成する。次いで、酸化シリコン膜26、BPSG膜25、窒化シリコン膜24、酸化シリコン膜23および酸化シリコン膜17を順次エッチングすることにより、第1のコンタクトホール15内に設けられたプラグ電極PG上に第3のコンタクトホール29を形成する。その後、半導体基板1上にPが導入された多結晶シリコン膜30および約500nmの厚さのBPSG膜31をCVD法によって順次堆積する。

【0044】次に、図7に示すように、フォトリソistをマスクにしてBPSG膜31および多結晶シリコン膜30、27を順次エッチングした後、半導体基板1上に厚さ約100nmのPが導入された多結晶シリコン膜32をCVD法によって堆積する。

【0045】次いで、この多結晶シリコン膜32をRIE法などの異方性エッチングで加工することによって、BPSG膜31および多結晶シリコン膜30、27の側壁に円筒型の多結晶シリコン膜32を残す。なお、この時の円筒型の多結晶シリコン膜32の最先端部は尖っており、図10に示したように、この最先端部の断面形状は約30度の角度の内角を有する。

【0046】続いて、図8に示すように、例えば、フッ酸水溶液を用いたウェットエッチングによって、BPSG膜31、酸化シリコン膜26およびBPSG膜25を除去して、多結晶シリコン膜32、30、28、27からなるクラウン構造の蓄積電極SNを形成する。

【0047】次に、半導体基板1に、例えば、850℃の温度で3分間の熱酸化処理を施すことによって、多結晶シリコン膜32、30、28、27の表面に約4nmの酸化シリコン膜(図示せず)を形成する。その後、フッ酸水溶液(例えば、 $\text{HF}:\text{H}_2\text{O}=1:200$ )を用いたウェットエッチングを約2分間行い、上記酸化シリコン膜を除去する。これによって、前記図2に示したように、蓄積電極SNを構成する円筒型の多結晶シリコン膜32の最先端部を丸みを帯びた形状とし、この部分の断面形状における内角がなす角度を35度以上とする。

【0048】次に、蓄積電極SNの表面に厚さ約2nm

の窒化シリコン膜(図示せず)をCVD法によって堆積し、続いて、厚さ約30nmの非晶質の $\text{Ta}_2\text{O}_5$ 膜33をCVD法によって堆積した後、半導体基板1に熱酸化処理を施すことによって、 $\text{Ta}_2\text{O}_5$ 膜33を結晶化する。その後、半導体基板1上に窒化チタン膜34をCVD法によって堆積し、次いで、フォトリソistをマスクにしてこの窒化チタン膜34をエッチングすることにより、窒化チタン膜34からなるプレート電極PLを形成して、図1に示した情報蓄積用容量素子が完成する。

10 【0049】このように、本実施の形態によれば、蓄積電極SNの一部を構成する円筒型の多結晶シリコン膜32の最先端部は丸みを帯びた形状をしており、また、この部分の断面形状の内角がなす角度が35度以上あるので、最先端部において $\text{Ta}_2\text{O}_5$ 膜33の結晶粒界が成長しにくく $\text{Ta}_2\text{O}_5$ 膜33の薄膜化が抑制され、さらに、蓄積電極SNとプレート電極PLとの間に電圧を印加しても最先端部での電界集中が起きにくいので、 $\text{Ta}_2\text{O}_5$ 膜33の破壊を防ぐことができる。

20 【0050】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0051】たとえば、前記実施の形態では、多結晶シリコン膜によって構成された蓄積電極に適用した場合について説明したが、高融点金属膜または金属シリサイド膜によって構成された蓄積電極にも適用可能である。

30 【0052】また、前記実施の形態では、容量絶縁膜を構成する誘電体膜に $\text{Ta}_2\text{O}_5$ 膜を用いたが、他の高誘電体膜、例えば、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜または $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 膜を用いてもよく、 $\text{Ta}_2\text{O}_5$ 膜を用いた場合と同様の効果が得られる。

【0053】また、前記実施の形態では、多結晶シリコン膜によってクラウン構造の蓄積電極を形成した後、その表面に熱酸化処理によって形成した酸化シリコン膜を除去することによって、蓄積電極の一部を構成する円筒型の多結晶シリコン膜の最先端部を丸みを帯びた形状としたが、等方性のエッチングによって円筒型の多結晶シリコン膜の最先端部を丸みを帯びた形状としてもよい。

40 【0054】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0055】本発明によれば、クラウン構造の蓄積電極の一部を構成する円筒型の導電膜の最先端部において、容量絶縁膜の薄膜化および蓄積電極とプレート電極間の電界集中を抑制して容量絶縁膜の破壊を防ぐことができるので、情報蓄積用容量素子の信頼度を向上することができる。

50 【図面の簡単な説明】

9

10

【図1】本発明の一実施の形態である半導体集積回路装置の情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態である情報蓄積用容量素子の蓄積電極の要部断面の拡大図である。

【図3】本発明の一実施の形態である半導体集積回路装置の情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態である半導体集積回路装置の情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態である半導体集積回路装置の情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態である半導体集積回路装置の情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態である半導体集積回路装置の情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図9】従来の半導体集積回路装置の情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図10】従来の情報蓄積用容量素子の蓄積電極の要部断面の拡大図である。

【符号の説明】

- 1 半導体基板
- 2 p型ウエル
- 3 フィールド絶縁膜
- 4 ゲート絶縁膜
- 5 多結晶シリコン膜
- 6 タングステンシリサイド (WSi<sub>2</sub>)膜

- 7 酸化シリコン膜
- 8 窒化シリコン膜
- 9 ゲート電極
- 10 酸化シリコン膜
- 11 サイドウォールスペーサ
- 12 酸化シリコン膜
- 13 BPSG膜
- 14 第1のn型半導体領域
- 15 第1のコンタクトホール
- 16 多結晶シリコン膜
- 17 酸化シリコン膜
- 18 多結晶シリコン膜
- 19 第2のn型半導体領域
- 20 第2のコンタクトホール
- 21 多結晶シリコン膜
- 22 タングステンシリサイド (WSi<sub>2</sub>)膜
- 23 酸化シリコン膜
- 24 窒化シリコン膜
- 25 BPSG膜
- 26 酸化シリコン膜
- 27 多結晶シリコン膜
- 28 多結晶シリコン膜 (サイドウォールスペーサ)
- 29 第3のコンタクトホール
- 30 多結晶シリコン膜
- 31 BPSG膜
- 32 多結晶シリコン膜
- 33 Ta<sub>2</sub>O<sub>5</sub>膜
- 34 窒化チタン膜
- 35 結晶粒界
- 30 Qt メモリセル選択用MISFET
- PG プラグ電極
- BL ビット線
- SN 蓄積電極
- PL プレート電極

【図2】

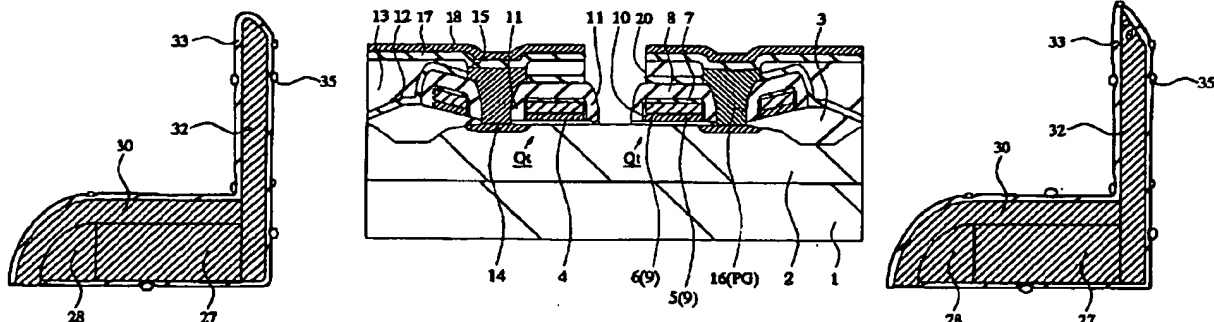
【図3】

【図10】

図 2

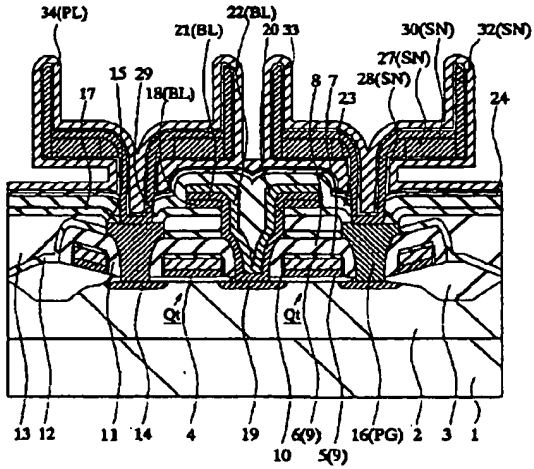
図 3

図 10



【図1】

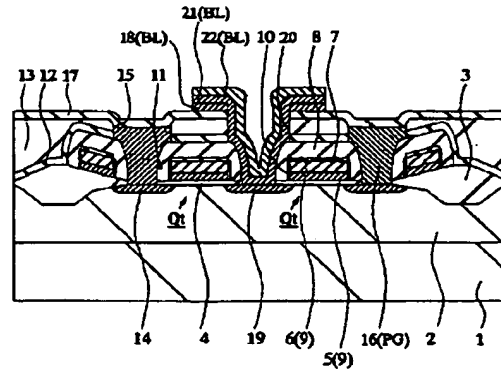
図 1



32: 多結晶シリコン膜  
33: Ta<sub>2</sub>O<sub>5</sub>膜

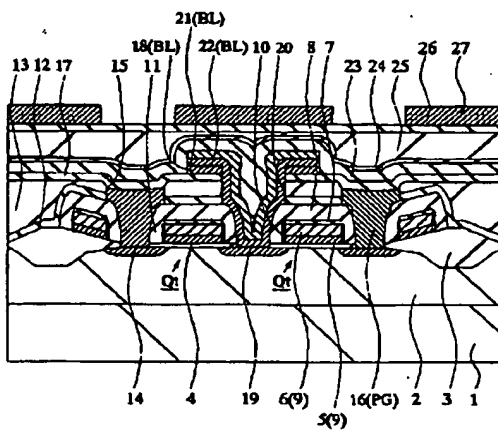
【図4】

図 4



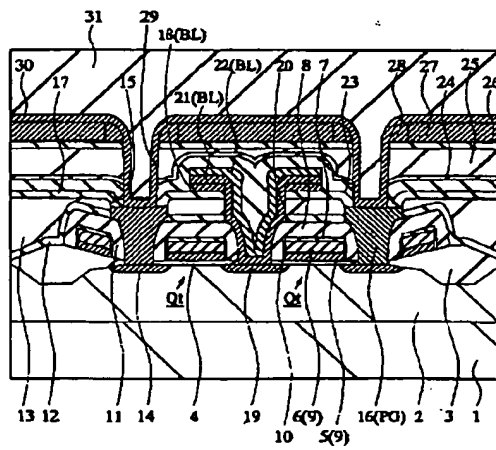
【図5】

図 5



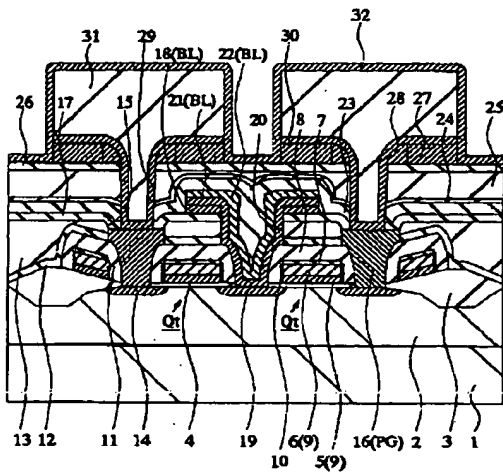
【図6】

図 6



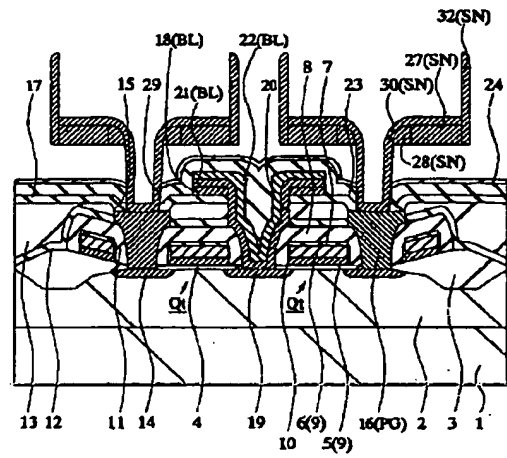
【図7】

図 7



【図8】

図 8



【図9】

図 9

